

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)(51) 。 Int. Cl. 7  
H04B 7/26(11) 공개번호 특2003- 0035981  
(43) 공개일자 2003년05월09일(21) 출원번호 10- 2002- 0065824  
(22) 출원일자 2002년10월28일

(30) 우선권주장 10/021,133 2001년10월29일 미국(US)

(71) 출원인 애질런트 테크놀로지스, 인크.  
미합중국 캘리포니아 (우편번호 94306- 2024) 팔로 알토 페이지 밀로드 395(72) 발명자 왕찰스엘  
미국캘리포니아주95131산조세마틴주스트리트1717  
  
라이베니더블유에이치  
미국캘리포니아주94539프레몬트갈린도드라이브47305  
  
무어찰스이  
미국콜로라도주80537러브랜드웨스트10번스트리트425  
  
피셔필립더블유  
미국콜로라도주80528포트콜린스나인바크코트4900(74) 대리인 김창세  
장성구

심사청구 : 없음

## (54) 동기화 시스템과 동기화 방법 및 시스템

## 요약

최소한이고 명확하게 규정된, 매우 낮은 다수 채널 양단의 스큐와 대기 시간을 갖는, 다수 클럭을 생성 및 동기화하는 방법 및 시스템이 본 명세서에 개시되어 있다. PLL 회로는 코어 데이터 스트림을 수신하는 채널 회로를 동기화하는 복수의 클럭 신호를 생성한다. 채널 회로는 코어 데이터 스트림을 직렬 데이터 스트림으로 변환한다. PLL 회로 또는 다른 PLL 회로는 코어 데이터 스트림을 채널 회로에 전송하여 레지스터링하도록 하는 코어 클럭 신호를 생성한다. 다수의 클럭 신호들 중 하나 이상의 클럭 신호는 레지스터-대-레지스터 전송에 의해 채널 회로에 분산될 수 있다.

## 대표도

## 도 1

## 명세서

## 도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따라 다수 클럭을 생성 및 동기화하는 시스템을 도시하는 블록도,

도 2는 본 발명의 제 2 실시예에 따라 다수 클록을 생성 및 동기화하는 시스템을 도시하는 블록도,

도 3은 도 1 및 도 2에 도시된 시스템의 일 부분에 대한 예시적인 회로도,

도 4는 도 1에 도시된 시스템의 일 부분에 대한 예시적인 PLL 회로도,

도 5는 도 1 및 도 2에 도시된 시스템의 또 다른 부분에 대한 예시적인 PLL 회로도,

도 6은 도 1에 정의된 다양한 신호 파형에 대한 예시적인 타이밍도.

#### 도면의 주요 부분에 대한 부호의 설명

102 : 코어 PLL 120 : 코어 데이터 라인

122 : 전송 PLL 124 : 채널 회로

126 : 직렬 클록 라인 128 : 제 1 서브- 레이트 클록 라인

308 : 멀티플렉서 312 : 드라이버

402 : 위상 검출기 404 : 저역 통과 필터

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 전기 회로에 관한 것으로, 좀 더 구체적으로 다수 클록의 생성 및 동기화(generation and synchronization of multiple clocks)에 관한 것이다.

현대의 멀티- 채널 데이터 시스템은 대개 데이터가 병렬 흐름으로 송신 및 수신되도록 요구한다. 데이터 통신 용어에서 보통 트렁킹(trunking)으로 지칭되는 병렬 데이터 흐름(또는 채널)은 소수의 보다 높은 대역폭 채널로 집중될 수 있다. 집중되는 데이터에 대해, 시스템에서는 엄밀한 스큐 계획(tight skew budgets)이 요구되고, 여기서 스큐는 데이터의 각 채널 사이의 위상 관계로서 정의된다.

직렬 데이터 통신은 일반적으로 PLL(phase- locked loop) 회로와 같은 클록 승산기(clock multiplier)를 이용한다. PLL 회로 위상 및 주파수는 기준 클록에 고정되고 데이터에 클록을 인가하는 고속 클록을 생성한다. 다수의 데이터 경로(즉, 병렬 데이터 스트림 또는 데이터 채널) 양단의 스큐를 적게 하기 위해, 생성된 클록은 주의 깊게 동기화 및 정렬되어야 한다.

대개, PLL 회로 또는 DLL(delay- lock look) 회로는 스큐를 줄이기 위해 각 채널에서 이용된다. 예를 들어, 각 PLL 회로는 분포가 엄격히 제어되는 전역 기준 신호(global reference signal)에 고정된다. 그러나, 다수의 PLL을 사용하면 제한된 자원인 상당한 양의 전력 및 공간을 필요하게 된다.

또 다른 방법은 비동기화 시스템에 대해 클록 도메인 경계(clock domain boundaries)를 교차하는 FIFO(first- in first- out) 버퍼링 기법을 사용한다. FIFO 버퍼가 대기 시간(latency) 및 스큐를 가지고 있다는 것이 하나의 단점이다. 또한, 집적 회로에 있어서, 대기 시간 및 스큐는 프로세스, 전압 및 온도 변화 또는 코너(corners)에 대해 통제 불가능할 수도 있다. 더 나아가, FIFO 버퍼는 관련 포인터를 모니터 및 리셋하기 위한 추가적인 로직을 필요로 하고 FIFO 버퍼는 값비싼 전력 및 공간을 소비하기도 한다.

##### 발명이 이루고자 하는 기술적 과제

최소이고 명확하게 정의된, 다수의 채널과 대기 시간에 대해 매우 적은 스큐를 갖는 다수 클럭을 생성 및 동기화하는 방법 및 시스템이 본 명세서에 개시되어 있다. 이러한 장점은 프로세스, 전압 및 온도 변화에서도 유지된다. 지연 시간 및 스큐를 갖고 있는 종래 기술의 FIFO 버퍼링 기법은 제거될 수 있고, 예를 들어 단일 클럭 소스를 사용하는 능력이 제공되며, 이 능력은 필요한 전력 및 영역을 감소시킨다.

본 발명의 일 실시예에 따르면, 복수의 데이터 채널을 동기화하는 시스템은, 클럭 분산 회로(clock distribution circuit)를 갖는 코어 회로를 포함하는데, 코어 회로는 클럭 분산 회로에 의해 전송되는 코어 클럭 신호의 주파수에서 복수의 데이터 스트림을 제공한다. 제 1 PLL 회로는 복수의 클럭 신호를 생성하고, 여기서 복수의 클럭 신호 중 제 1 클럭 신호는 클럭 분산 회로에 의해 전송되는 코어 클럭 신호와 동일한 주파수 및 실질적으로 동일한 위상을 갖는다. 복수의 채널 회로가 코어 회로 및 제 1 PLL 회로에 결합되고, 이 채널 회로는 제 1 클럭 신호의 주파수에서 수신되는 복수의 데이터 스트림을 복수의 클럭 신호 중 제 2 클럭 신호 주파수를 갖는 복수의 직렬 데이터 스트림으로 변환한다. 제 1 PLL 회로 또는 제 2 PLL 회로는 코어 클럭 신호를 클럭 분산 회로에 제공할 수 있다.

본 발명의 또 다른 실시예에 따르면, 복수의 데이터 채널을 동기화하는 방법은, 기존 클럭 신호를 수신하는 단계와, 기존 클럭 신호를 기초로 하여 복수의 클럭 신호를 생성하고 복수의 클럭 신호로부터의 코어 클럭 신호를 코어 회로에 제공하되, 데이터는 코어 회로에서부터 복수의 데이터 경로를 통해 코어 클럭 신호의 클럭 레이트에서 전송되는 단계와, 복수의 데이터 경로를 통해 전송되는 데이터를 대응 채널 회로에 의해 복수의 클럭 신호 중 제 1 클럭 신호의 클럭 레이트에서 수신하되, 제 1 클럭 신호는 코어 클럭 신호와 동일한 주파수 및 실질적으로 동일한 위상을 가지는 단계와, 각각의 채널 회로로부터 수신된 데이터를, 복수의 클럭 신호 중 제 2 클럭 신호의 클럭 레이트에서 병렬 데이터 스트림으로부터 직렬 데이터 스트림으로 변환하는 단계를 포함한다.

당업자라면 후속하는 하나 이상의 실시예의 상세한 설명을 읽음으로써, 본 발명의 또 다른 장점 뿐만 아니라, 본 발명을 보다 완전하게 이해할 수 있을 것이다.

#### 발명의 구성 및 작용

도 1은 본 발명의 일 실시예에 따라 다수 클럭을 생성 및 동기화하는 시스템(100)을 예시하는 블록도이다. 시스템(100)은 코어 PLL(102), 코어 회로(104), 송신 PLL(122) 및 채널 회로(124)를 포함한다.

시스템(100)은 기존 클럭 신호 라인(112)을 통해 기존 클럭 신호를 수신한다. 기존 클럭 라인(112)은 기존 클럭 신호를 매칭된 라인(114, 116)을 통해 코어 PLL(102) 및 송신 PLL(122)에 각각 제공한다. 그러므로, 이하에서 상세히 설명하겠지만, 코어 PLL(102) 및 송신 PLL(122) 각각은 동일한 주파수와 실질적으로 동일한 위상을 갖는 기존 클럭 신호를 수신한다.

코어 PLL(102)은 매칭된 라인(114)을 통해 기존 클럭 신호를 수신하고 코어 클럭 신호를 코어 클럭 라인(108)을 통해 코어 회로(104)에 제공한다. 코어 클럭 신호는 코어 데이터를 레지스터링(registering)하여 채널 회로(124)에 제공하는 레지스터(136)를 구비한 클럭 분산 회로(106)내의 코어 회로(104)를 통해 분산된다. 도 1에 예시된 바와 같이, 코어 회로(104) 및 클럭 분산 회로(106)는 크기가 변경될 수 있고, 코어 회로(104)는 코어 데이터를 생성하여 이 데이터를 데이터 라인(118, 120)으로 예시된 바와 같이 다수(즉, 병렬) 데이터 경로를 통해 코어 채널 회로(124)에 전송한다.

송신 PLL(122)은 매칭된 라인(116)을 통해 기존 클럭 신호를 수신하여 직렬 클럭 라인(126)을 통해 직렬 클럭 신호(즉, 직렬 비트 레이트)를 각 채널 회로(124)에 제공한다. 송신 PLL(122)은 또한 제 1 서브-레이트 클럭 신호를 제 1 서브-레이트 클럭 라인(128)(도 1에서 F2로 표시됨)을 통해 제공하고 제 2 서브-레이트 클럭 신호를 제 2 서브-레이트 클럭 라인(130)(도 1에서 F10으로 표시됨)을 통해 제공한다. 예를 들어, 제 1 서브-레이트 클럭 신호는 직렬 클럭 신호 주파수의 2분의 1이고 제 2 서브-레이트 클럭 신호는 직렬 클럭 신호 주파수의 10분의 1이며, 채널 회로(124)의 직렬 비트스트림 또는 비트레이트 주파수에서 동작한다. 제 1 및 제 2 서브-레이트 클럭 신호는 예시적임을 이해해야 하고 듀티 사이클이 변하는 다양한 동기화 클럭 신호가 송신 PLL(122)에 의해 제공될 수 있다는 것도 유의해야 한다.

도 1에서 124(1), 124(2), ..., 124(N)로 분리되어 참조되는 채널 회로(124)는, 코어 회로(104)에 의해 생성되는 코어 데이터를 수신하는 다수의 채널을 나타낸다. 코어 데이터는 코어 회로(104)에서의 레지스터(136)로부터 채널 회로(124)에서의 대응 레지스터(138)로 전송된다. 예를 들어, 채널 회로(124)는 예로, 바이트와 같이 병렬로 송신되는 다수의 비트로 포맷된 코어 데이터를 송신 PLL(122)에 의해 제공되는 제 1 및 제 2 서브-레이트 클럭 신호와 함께 직렬 클럭 신호를 이용하여 직렬 비트 스트림으로 변환하는 시리얼라이저(serializer)(도 1에는 도시되어 있지 않지만 이하에서 자세히 설명됨)를 각각 포함한다. 직렬 클럭 신호 레이트에서의 직렬 비트 스트림은 출력 신호로서 대응하는 직렬 출력 라인(134) 상의 각 채널 회로(124)에 제공된다. 대안으로, 채널 회로(124)는 몇몇 필요한 기능을 수행 하기

위해 송신 PLL(122)에 의해 제공되는 다양한 클럭 신호와 코어 데이터를 수신하는 임의의 유형의 회로를 나타낼 수도 있다.

일반적으로, 송신 PLL(122)은 보다 높은 레이트의 송신 클럭(즉, 직렬 클럭 신호, 제 1 서브- 레이트 클럭 신호 및 제 2 서브- 레이트 클럭 신호)을 발생시키도록 주파수 및 위상을 기준 클럭 신호로 고정시킨다. 가장 높은 레이트의 직렬 클럭 신호는 직렬 클럭 라인(126)을 통해 각 채널 회로(124)에 분산되고, 이는 스큐를 감소시키도록 제어될 수 있다. 예를 들어, 직렬 클럭 라인(126)을 그 중에서 매칭 리액티브 부하(matched reactive load)로 종료(terminate)함으로써, 직렬 클럭 라인(126)은 채널 회로(124) 양단의 스큐가 매우 적게 되도록 공진될 수 있다.

송신 PLL(122)에 의해 생성되는 제 1 서브- 레이트 클럭 신호는 각 채널 회로(124)에 직렬로 분산되고 직렬 클럭 신호에 의해 재- 시간 설정(re- timed) 된다. 예를 들어, 제 1 서브- 레이트 클럭 신호는 레지스터- 대- 레지스터 전송을 통해 하나의 채널 회로(124)에서부터 다음의 채널 회로(124)까지 분산되고 직렬 클럭 신호에 의해 재- 시간 설정된다. 그러므로, 각 채널 회로(124)의 제 1 서브- 레이트 클럭 신호의 위상은 상호 대비하였을 때 또한 직렬 클럭 신호의 위상 관련하여 실질적으로 동일하다.

제 1 서브- 레이트 클럭 신호에 대해 설명한 것과 같이, 채널 회로 사이의 클럭 신호의 레지스터- 대- 레지스터 전송 방법은 본 명세서에서 클럭의 '데이지 체이닝(daisy chaining)'으로 지칭된다. 클럭 신호를 데이지 체이닝함으로써, 클럭 신호는 하나의 레지스터에서 다음의 레지스터까지 직렬로 분산되고, 이는 관련 부하 및 타이밍 요구를 감소시킨다. 또한, 이것은 미지 위상의 디바이드 클럭 신호(divided clock signal)를 야기하는, 직렬 클럭 신호를 분할 또는 감소시키는, 각 채널 회로(124)에서의 별개의 디바이드 회로에 대한 필요성을 제거한다.

제 1 서브- 레이트 클럭 신호의 레지스터- 대- 레지스터 전송은 도 1에 도시되어 있다. 예를 들어, 제 1 서브- 레이트 클럭 라인(128) 상에서 송신 PLL(122)에 의해 제공되는 제 1 서브- 레이트 클럭 신호는 채널 회로(124(1)) 내의 레지스터(132)에 의해 수신된다. 레지스터(132)는 직렬 클럭 신호로 클럭이 주어지고, 레지스터(132)의 출력은 채널 회로(124(2)) 내의 레지스터(132)에 제공된다. 이와 유사하게, 채널 회로(124(2)) 내의 레지스터(132)는 직렬 클럭 신호로 클럭이 주어지고, 레지스터(132)의 출력은 다음 채널 회로(124)에 제공된다. 이러한 프로세스는 제 1 서브- 레이트 클럭 신호의 레지스터- 대- 레지스터 전송이 모든 채널 회로(124)를 통해 일어나도록 반복된다.

송신 PLL(122)에 의해 생성된 제 2 서브- 레이트 클럭 신호는 각 채널 회로(124)에 직접 분산될 수 있거나 또는 제 1 서브- 레이트 클럭 신호에 대해 설명한 것과 같이 분산될 수 있다. 예를 들어, 제 2 서브- 레이트 클럭 신호는 그것의 로컬 제 1 서브- 레이트 클럭 신호(직렬 클럭 신호에 의해 재- 시간 설정되었음)에 의해 재- 시간 설정될 수 있으며, 제 1 서브- 레이트 클럭 신호 주파수로 레지스터- 대- 레지스터 전송을 하도록 요구한다. 그러므로, 제 2 서브- 레이트 클럭 신호는 하나의 채널 회로(124)에서부터 다음 채널 회로(124)까지 또는 채널 회로(124)의 일 그룹에서부터 채널 회로(124)의 다음 그룹까지 '데이지 체이닝'될 수 있다.

예를 들어, 레지스터- 대- 레지스터 전송은 3개의 채널 회로(124) 사이마다 발생할 수 있다. 따라서, 제 2 서브- 레이트 클럭 신호는 모든 채널 회로(124)에 제공되며, 레지스터- 대- 레지스터 전송은 단지 채널 회로(124(3)), 채널 회로(124(6)) 등에서 발생한다.

코어 회로(104)는 직렬 클럭 신호보다 낮은 주파수 클럭 레이트(즉, 코어 클럭 신호 주파수)에서 코어 데이터의 병렬 스트림을 생성한다. 일반적으로, 채널 회로(124)에 대한 클럭 신호(예로, 제 2 서브- 레이트 클럭 신호)와 관련된 스큐는 코어 클럭 신호와 관련된 스큐에 대하여 제어된다. 이것은 다양한 방법으로 성취될 수 있다.

예를 들어, 도 1에 도시된 바와 같이, 거대한 클럭 트리(즉, 코어 회로(104)내의 거대한 클럭 분산 회로(106))에 있어, 스큐는 코어 PLL(102)에 의해 능동적으로 보상된다. 트렁킹에 있어서, 코어 회로(104)의 출력단에서 코어 데이터를 레지스터링하는 즉, 레지스터(136) 출력부의 코어 데이터에 클럭을 부여하는 코어 클럭 신호와 데이터를 채널 회로(124)에 레지스터링하는 채널 회로(124) 내의 클럭 신호(예로, 대응 레지스터(138)로의 코어 데이터에 클럭으로 부여하는 제 2 서브- 레이트 클럭 신호) 사이에는 사전 정의된 위상 관계가 요구된다.

코어 PLL(102) 및 송신 PLL(122) 사이의 사전 결정된 관계는 매칭된 라인(114, 116) 각각을 통과한 기준 클럭 신호에 의해 초기에 제공된다. 따라서, 코어 PLL(102) 및 송신 PLL(122)은 동일한 주파수 및 실질적으로 동일한 위상을 갖는 대응 기준 신호를 수신한다.

코어 PLL(102)은 적절한 타이밍 및 구동 레벨을 갖는 코어 클럭 신호를 그 코어 클럭 신호를 이용하는 코어 회로(104)의 모든 회로(즉, 집적 회로 코어 로직)에 분산하는 클럭 분산 회로(106)를 구동시킨다. 코어 PLL(102)은 또한 클럭 분산 회로(106) 내의 코어 클럭 신호를 모니터링하되(즉, 코어 클럭 신호의 버전을 변경(taps- off)), 이 코어 클럭 신호는 채널 회로(124)로의 코어 데이터를 레지스터링하는 위상을 나타내는 위상을 갖는다.

예를 들어, 도 1에 도시된 코어 클록 피드백 라인(110)은 레지스터들(136) 중의 하나에 근접한 클록 분산 회로(106)에 결합되어 있다. 코어 클록 피드백 라인(110)은 코어 PLL(102)로의 코어 클록 신호에 대한 피드백 경로를 제공하여 코어 PLL(102)이 코어 클록 신호를 기준 클록 신호에 비교하도록 한다. 코어 PLL(102)로의 코어 클록 신호의 피드백은 코어 PLL(102)이 코어 클록 라인(108)을 통해 코어 클록 신호의 위상을 능동적으로 조정함으로써 클록 분산 회로(106)에 의한 지연을 보상하도록 한다.

또한, 채널 회로(124)로의 코어 데이터를 레지스터링하는 데 사용되는, 기준 클록 신호와 코어 클록 신호 사이의 위상 관계는 온도, 전압, 프로세스 또는 제조 변수 등과 같은 변수에 무관할 것이다. 그러므로, 코어 PLL(102)는 코어 클록 신호를 모니터링하고, 보통 클록 분산 회로(106)를 통한 코어 클록 신호의 지연 또는 타이밍을 변경시키는 변수를 보상한다.

코어 PLL(102)은 코어 클록 신호가 기준 클록 신호와 일치하는, 궁극적으로 상술한 바와 같이 송신 PLL(122)에 의해 생성되는 클록 신호들(즉, 직렬 클록 신호, 제 1 서브-레이트 클록 신호 및 제 2 서브-레이트 클록 신호)과 일치하는 위상이되도록 한다. 예를 들어, 도 1에 도시된 바와 같이, 제 2 서브-레이트 클록 신호는 레지스터(138)로의 코어 데이터에 클록을 부여하는 반면, 코어 클록 신호는 대응하는 레지스터(136)로부터의 코어 데이터에 클록을 부여한다. 코어 클록 신호 및 제 2 서브-레이트 클록 신호는 주파수 및 실질적인 위상에 있어서 동일한데, 그 이유는 코어 클록 신호 및 제 2 서브-레이트 클록 신호를 각각 생성하는 코어 PLL(102) 및 송신 PLL(122)의 주파수 및 위상이 기준 클록 신호로 고정되기 때문이다.

클록 분산 회로(106)가 크지 않을 경우, 코어 PLL(102)은 필요하지 않다. 코어 PLL(102)은 코어 클록 신호의 위상이 실질적으로 제 2 서브-레이트 클록 신호와 동일하도록 한다. 코어 클록 트리(즉, 클록 분산 회로(106)의 지연(delay)이 알려지도록 또한 제한되도록 제어되는 경우, 코어 PLL(102) 없이 동작하는 것이 가능하다. 예를 들어, 보다 작은 클록 트리에 대해, 코어 클록 신호 및 제 2 서브-레이트 클록 신호의 스큐는, 코어 회로(104)에서부터 채널 회로(124)까지의 코어 클록 신호 레이트에서의 코어 데이터의 레지스터-대-레지스터 전송이 제 2 서브-레이트 클록 신호 레이트에서 이루어지도록 규정될 수 있다. 그러므로, 코어 데이터에 클록이 부여되는 클록 트리 또는 클록 분산 회로(106)의 종단(즉, 레지스터(136))에서의 클록 신호의 스큐는 주의 깊게 제어되어야 한다.

도 2는 본 발명의 제 2 실시예에 따라 다수 클록을 생성 및 동기화하는 시스템(200)을 도시하는 블록도이다. 시스템(200)은 코어 회로(204), 클록 분산 회로(206) 및 송신 PLL(222)를 포함한다. 시스템(200)은 상술한 시스템(100)과 유사하나, 코어 PLL(102) 없이 다수의 클록을 생성 및 동기화하는 시스템이라는 점에서 다르다.

송신 PLL(222)은 기준 클록 라인(112)으로부터 기준 클록 신호를 수신하여 직렬 클록 신호(F1), 제 1 서브-레이트 클록 신호(F2) 및 제 2 서브-레이트 클록 신호(F10)를 생성한다. 시스템(200)이 코어 PLL을 갖고 있지 않기 때문에, 매칭된 라인(114, 116)은 필요하지 않으며 송신 PLL(222)은 제 2 서브-레이트 클록 신호를 코어 클록 라인(208)을 통해 코어 회로(204)에 제공한다.

코어 클록 라인(208)은 코어 회로(204) 내의 클록 분산 회로(206)에 연결된다. 클록 분산 회로(206)는 클록 분산 회로(106)(도 1에서 설명됨)만큼 크지 않다. 그러므로, 제 2 서브-레이트 클록 신호(즉, 코어 회로(104)의 코어 클록 신호)의 스큐는, 코어 회로(204)에서부터 채널 회로(124)까지 코어 데이터의 레지스터-대-레지스터 전송을 허용하기에 충분한 범위를 가진다.

도 3은 채널 회로(124)(예로, 채널 회로(124(1)))에 대한 예시적인 회로도(300)를 도시한다. 회로도(300)는 레지스터(302, 304, 306 및 310), 멀티플렉서(308), 드라이버(312)를 포함한다. 레지스터(302)는 코어 데이터(예로, 예시적인 코어 데이터 라인(118) 상에서 전송됨)을 수신하고 이 코어 데이터를 멀티플렉서(308)에 제공하되, 레지스터(302) 및 멀티플렉서(308)로의 코어 데이터는 제 2 서브-레이트 클록 신호(F10)에 의해 클록이 부여된다. 멀티플렉서(308)로부터의 코어 데이터는, 직렬 클록 신호 레이트에서의 제 1 서브-레이트 클록 신호(F2)에 의해, 제 1 서브-레이트 클록 신호의 상승 및 하강 에지일 때 클록이 부여된다.

클록이 부여되어 멀티플렉서(308)로부터 출력된 코어 데이터는 레지스터(310)에 의해 재-시간 설정(re-timed)되는데, 그 클록은 직렬 클록 신호(F1)에 의해 제어된다. 드라이버(312)는 멀티-비트 병렬 데이터 스트림에서 직렬 데이터 스트림으로 포맷되는 직렬 출력 라인(134)상의 코어 데이터를 구동한다.

코어 데이터 라인(118)은 코어 데이터 라인(118)(도 1에 도시됨)에 연결된 대응 레지스터(138, 138) 사이에서 다수 비트를 병렬 방식으로 전송한다는 것을 유의해야 한다. 예를 들어, 코어 데이터가 10-비트 워드로 생성된다면, 코어 데이터 라인(118)은 10 비트인 코어 데이터의 각 워드를 코어 회로(104)에 있는 10개의 레지스터(136)에서 채널 회로(124(1))에 있는 10개의 대응 레지스터(138)로 전송하는 10개의 병렬 라인을 나타낸다. 도 3과 그 예를 참조하면, 레지스터(302)는 코어 데이터 라인(118)의 10개의 병렬 라인들 중 하나에 각각 대응하는 10개의 레지스터의 뱅크를 나타낸다. 각 레지스터는 제 2 서브-레이트 클록 신호에 의해 클록이 부여되고 그 출력 신호를 멀티플렉서(308)의 대

용 입력단에 제공한다.

도 3에 도시된 바와 같이, 제 1 서브-레이트 클럭 신호(F2)는 레지스터(304, 306)를 동시에 사용하는 직렬 클럭 신호(F1)에 의해 재-시간 설정된다. 레지스터(304)의 출력 신호는 멀티플렉서(308)에 제공되는 반면, 레지스터(306)의 출력 신호는 다음 채널 회로(124)(예로, 채널 회로(124(2))에 제공된다. 레지스터(306)는 데이지 체인 방법(daisy chain method) 또는 제 1 서브-레이트 클럭 신호의 레지스터-대-레지스터 전송을 예시한다. 이와는 달리, 레지스터(304, 306)는 도 1에 도시된 레지스터(132)로 대체될 수도 있으며, 레지스터(132)의 출력 신호는 멀티플렉서(308)(현재의 채널 회로(124)에 있음)에 제공되고 다음 채널 회로(124)의 레지스터(132)에도 제공된다.

도 4는 도 1에 도시된 코어 PLL(102)에 대한 예시적인 PLL 회로도(400)를 도시한다. PLL 회로도(400)는 위상 검출기(402), 루프 필터(404)(예로, 저역 통과 필터) 및 전압 제어 발진기(VCO)(406)를 포함한다. PLL 회로도(400)는 입력단(408)(도 4에서 IN으로 표시됨)에서 기준 신호를 수신하고 입력단(412)에서는 피드백 신호를 수신하며 출력단(410)(도 4에서 OUT으로 표시됨)에 출력 신호를 제공한다.

위상 검출기(402)(즉, 타이밍 검출기)는 입력단(408)에서의 기준 신호(또는 고조파 또는 부-고조파)의 위상을 출력단(410)에서의 출력 신호의 위상에 비교하거나 입력단(412)에 제공되는 출력 신호부터 유도된 신호와 비교한다. 비교 결과에 따라, 루프 필터(404)와 함께 위상 검출기(410)는 VCO(406)로부터 출력 신호의 주파수 및 위상을 제어하여 위상 검출기(402)에 제공되는 2개의 입력 신호(즉, 기준 신호와 피드백 신호) 사이에서 원하는 위상 관계를 얻는다.

예를 들어, PLL 회로도(400)가 도 1의 코어 PLL(102)로 대체된다면, 매칭된 라인(114)을 통해 제공되는 기준 클럭 신호는 입력단(408)에서 수신된 것이다. 코어 클럭 신호는 출력단(410)과 코어 클럭 라인(108)을 통해 분산 회로(106)에 제공된다. 코어 클럭 피드백 라인(110)은 입력단(412)에 연결되어 클럭 분산 회로(106)로부터 코어 클럭 신호의 피드백 버전을 제공한다. 다음으로, 본 명세서에서 설명된 바와 같이, 위상 검출기(402)는 코어 클럭 신호의 피드백 버전을 기준 클럭 신호와 비교하여 VCO(406)를 조절하고 클럭 분산 회로(106)에 의한 지연을 보상한다.

도 5는 도 1에 도시된 송신 PLL(122) 또는 송신 PLL(222)에 대한 예시적인 PLL 회로도(500)를 도시한다. PLL 회로도(500)는 위상 검출기(502), 루프 필터(504)(예로, 저역 통과 필터), VCO(506), 제 1 분할기(508) 및 제 2 분할기(510)를 포함한다. PLL 회로도(500)는 입력단(512)(도 5에서 IN으로 표시됨)에서 기준 신호를 수신하고 피드백 경로(520)를 통해 피드백 신호를 수신하며 출력단(514)(F1으로 표시됨)에는 제 1 출력 신호를, 출력단(516)(F2로 표시됨)에는 제 2 출력 신호를, 출력단(518)(F10으로 표시됨)에는 제 3 출력 신호를 제공한다.

PLL 회로도(500)는 앞에서 PLL 회로도(400)에 관해 설명한 방식과 유사하게 기능 하나, 제 1 분할기(508) 및 제 2 분할기(510)를 포함한다. 제 1 분할기(508)는 제 1 출력 신호를 2개로 분할시키고 이것은 또한 제 2 분할기(510)에 의해 5개로 분할되어, 제 3 출력 신호는 제 1 출력 신호 주파수의 10분의 1이 된다. 제 1 분할기(508) 및 제 2 분할기(510)는 또한 VCO(506)가 입력단(512)에서 수신되는 기준 신호의 보다 높은 차수의 고조파를 생성하게 한다.

상술한 바와 같이, PLL 회로도(500)는 송신 PLL(122) 또는 송신 PLL(222)에 대한 예시적인 회로도이다. 예를 들어, PLL 회로도(500)가 도 1에 도시된 송신 PLL(122)로 대체된다면, 매칭된 라인(116)을 통해 제공된 기준 클럭 신호는 입력단(512)에서 수신된다. 직렬 클럭 신호, 제 1 서브-레이트 클럭 신호 및 제 2 서브-레이트 클럭 신호는 제 1 출력 신호, 제 2 출력 신호 및 제 3 출력 신호에 각각 대응한다.

도 6은 도 1에서 정의된 다양한 신호 파형에 대한 예시적인 타이밍도(600)를 도시한다. 신호 파형(602(도 6에서 F1으로 표시됨), 604(F2로 표시됨), 606(F10으로 표시됨), 608(코어 클럭으로 표시됨), 610(기준 클럭으로 표시됨))들은 직렬 클럭 신호, 제 1 서브-레이트 클럭 신호, 제 2 서브-레이트 클럭 신호, 코어 클럭 신호 및 기준 클럭 신호에 각각 대응한다. 일반적으로, 타이밍도(600)는 클럭 신호의 상대적 위상 및 주파수를 도시한다.

클럭 분산 회로(106), 직렬 클럭 라인(126), 제 1 서브-레이트 클럭 라인(128) 및 제 2 서브-레이트 클럭 라인(130)을 포함하는 송신 PLL(122) 및 클럭 분산 시스템은 클럭 분산 회로(106)의 사양에 따라 더 많은 코어 PLL(102)을 구비할 수도 있는 클럭 동기화 시스템을 구성한다. 이 클럭 동기화 시스템은 다수의 채널을 통해 주어진 회로로부터 동기화된 데이터 전송을 제공한다. 본 명세서에서 설명한 바와 같이, 모든 채널(즉, 채널 회로(124))의 각 클럭은 동일한 위상 관계를 가지며, 온도, 전압, 프로세스 및 제조 변수에 무관할 것이다. 그러므로, 각 채널의 데이터 스트림은 매우 낮은 스큐를 갖는다. 더 나아가, 코어 클럭 신호를 포함하여 클럭들의 모든 위상 관계가 명확하게 정의되기 때문에, 시스템의 절대 대기 시간이 명확하게 규정된다.

상술한 실시예는 예시적이며 본 발명을 제한하지 않는다. 본 발명의 원리에 따라 다양한 수정 및 변경이 가능하다. 따라서, 본 발명의 범위는 다음의 청구항에 의해서만 정의된다.

## 발명의 효과

본 발명에 따르면, 최소이고 명확하게 정의된, 다수의 채널과 대기 시간에 있어서 매우 적은 스큐를 갖는 다수 클록을 생성 및 동기화하는 방법 및 시스템을 구현할 수 있다.

### (57) 청구의 범위

#### 청구항 1.

복수의 데이터 채널을 동기화시키는 시스템에 있어서,

클록 분산 회로(clock distribution circuit)를 갖는 코어 회로(core circuit)- 상기 코어 회로는 상기 클록 분산 회로에 의해 전송되는 코어 클록 신호의 주파수에서 복수의 데이터 스트림을 제공함 - 와,

복수의 클록 신호를 생성하는 제 1 PLL 회로- 상기 복수의 클록 신호 중 제 1 클록 신호는 상기 클록 분산 회로에 의해 전송되는 코어 클록 신호와 동일한 주파수 및 실질적으로 동일한 위상을 가짐 - 와,

상기 코어 회로 및 상기 제 1 PLL 회로에 연결되는 복수의 채널 회로- 상기 채널 회로는 상기 제 1 클록 신호의 주파수에서 수신된 상기 복수의 데이터 스트림을 상기 복수의 클록 신호 중 제 2 클록 신호의 주파수를 갖는 복수의 직렬 데이터 스트림으로 변환함 - 를 포함하는

동기화 시스템.

#### 청구항 2.

제 1 항에 있어서,

상기 코어 회로에 연결되는 제 2 PLL 회로- 상기 제 2 PLL 회로는 상기 코어 클록 신호를 생성하여 상기 코어 클록 신호를 상기 코어 분산 회로에 제공함 - 를 더 포함하는

동기화 시스템.

#### 청구항 3.

제 2 항에 있어서,

상기 제 2 PLL 회로는 상기 클록 분산 회로로부터 상기 코어 클록 신호의 샘플 버전을 수신하여 상기 클록 분산 회로에 관련된 타이밍 차이를 보상하는

동기화 시스템.

#### 청구항 4.

제 2 항에 있어서,

상기 제 1 PLL 회로 및 상기 제 2 PLL 회로는 매칭된 라인을 통해 주파수 및 위상 기준으로 사용되는 기준 신호를 수신하는

동기화 시스템.

#### 청구항 5.

제 1 항에 있어서,

상기 복수의 클록 신호와 상기 클록 분산 회로에 의해 전송되는 상기 코어 클록 신호 사이에 사전 결정된 위상 관계가 존재하는

동기화 시스템.

#### 청구항 6.

제 1 항에 있어서,



상기 복수의 채널 회로 각각에 대해 상기 제 2 클록 신호가 최소 스큐를 갖는 신호 라인 상에 분산되는

동기화 시스템.

청구항 7.

제 1 항에 있어서,

상기 복수의 클록 신호들 중 적어도 하나가 레지스터- 대- 레지스터 전송을 통해 상기 복수의 채널 회로 중 적어도 일부에 분산되는

동기화 시스템.

청구항 8.

제 7 항에 있어서,

각 레지스터가 상기 제 2 클록 신호로 클록이 주어지는

동기화 시스템.

청구항 9.

제 1 항에 있어서,

상기 제 1 PLL 회로- 상기 제 1 PLL 회로는 상기 코어 클록 신호를 상기 클 록 분산 회로에 제공함 - 가 상기 코어 회로에 연결되는

동기화 시스템.

청구항 10.

복수의 데이터를 동기화시키는 방법에 있어서,

기존 클록 신호를 수신하는 단계와,

상기 기존 클록 신호에 기초하여 복수의 클록 신호를 생성하여 상기 복수의 클록 신호 중 하나의 코어 클록 신호를 코어 회로에 제공하되, 데이터가 복수의 데이터 경로를 통해 상기 코어 클록 신호의 클록 레이트에서 상기 코어 회로로부터 전송되는 단계와,

상기 복수의 데이터 경로를 통해 전송되는 데이터를 대응 채널 회로에 의해 상기 복수의 클록 신호 중 제 1 클록 신호의 클록 레이트에서 수신하는 단계- 상기 제 1 클록 신호는 상기 코어 클록 신호와 동일한 주파수 및 실질적으로 동일한 위상을 가짐 - 와,

상기 채널 회로의 각각에 의해 수신된 상기 데이터를 상기 복수의 클록 신호중 제 2 클록 신호의 클록 레이트에서 병렬 데이터 스트림으로부터 직렬 데이터 스트림으로 변환하는 단계를 포함하는

동기화 방법.

청구항 11.

제 10 항에 있어서,

상기 복수의 클록 신호가, 상호 및 상기 기존 클록 신호에 관련하여 사전 결정된 주파수 및 위상 관계에 의해 생성되는

동기화 방법.

청구항 12.

제 10 항에 있어서,



상기 코어 회로 내의 상기 코어 클록 신호의 버전을 샘플링하는 단계와 상기 코어 클록 신호의 위상을 조정하여 상기 코어 회로내의 타이밍 변화를 보상하는 단계를 더 포함하는

동기화 방법.

청구항 13.

제 10 항에 있어서,

스큐를 최소화시키도록 상기 채널 회로에 대한 상기 제 2 클록 신호의 분산을 제어하는 단계를 더 포함하는

동기화 방법.

청구항 14.

제 10 항에 있어서,

레지스터- 대- 레지스터 전송을 통해 상기 복수의 클록 신호들 중 적어도 하나를 상기 채널 회로 각각에 분산하는 단계를 더 포함하는

동기화 방법.

청구항 15.

제 14 항에 있어서,

상기 각각의 레지스터는 상기 제 2 클록 신호에 의해 클록이 주어지는

동기화 방법.

청구항 16.

제 1 클록 신호를 포함하는 복수의 클록 신호를 생성하는 제 1 PLL 회로와,

상기 제 1 PLL 회로에 연결되는 복수의 채널 회로- 각각의 채널 회로는 상기 제 1 클록 신호와 동일한 주파수 및 실질적으로 동일한 위상을 갖는 코어 클록 신호의 주파수에서 코어 회로로부터 데이터 스트림을 수신하되, 상기 복수의 클록 신호 중 적어도 하나가 레지스터- 대- 레지스터 전송을 통해 상기 복수의 채널 회로의 적어도 일부에 분산됨 - 를 포함하는

시스템.

청구항 17.

제 16 항에 있어서,

상기 레지스터- 대- 레지스터 전송이 상기 복수의 클록 신호에서의 제 2 클록 신호의 주파수에서 이루어지는

시스템.

도면











